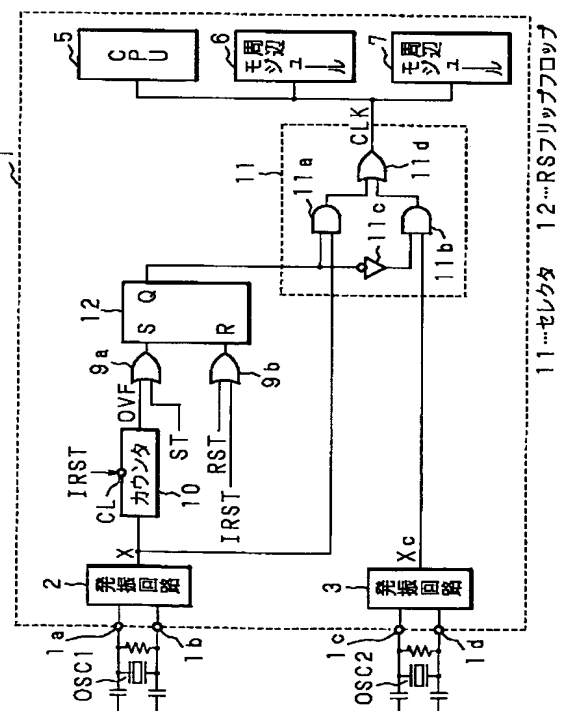


(11)特許出願公開番号

(43)公開日 平成8年(1996)1月19日



【特許請求の範囲】

【請求項 1】 発振周波数が異なるクロックを出力する第 1 発振回路及び第 2 発振回路を夫々内蔵しており、第 1 発振回路又は第 2 発振回路のクロックにより駆動され、リセット信号によりリセットされるマイクロコンピュータにおいて、

前記第 1 発振回路が出力するクロックを計数する計数手段と、

該計数手段のオーバーフロー信号によりセットされ、前記リセット信号によりリセットされるラッチ手段と、

該ラッチ手段がセットされた場合に第 1 発振回路のクロックを、リセットされた場合に第 2 発振回路のクロックを選択するクロック選択手段とを備えていることを特徴とするマイクロコンピュータ。

【請求項 2】 発振周波数が異なるクロックを出力する第 1 発振回路及び第 2 発振回路を夫々内蔵しており、第 1 発振回路又は第 2 発振回路のクロックにより駆動され、リセット信号によりリセットされるマイクロコンピュータにおいて、

前記第 2 発振回路が出力するクロックを計数し、前記第 1 発振回路が出力するクロックによりクリアされる計数手段と、

該計数手段のオーバーフロー信号によりセットされ、前記リセット信号によりリセットされるラッチ手段と、

該ラッチ手段がセットされた場合に第 2 発振回路のクロックを、リセットされた場合に第 1 発振回路のクロックを選択するクロック選択手段とを備えていることを特徴とするマイクロコンピュータ。

【請求項 3】 オーバーフロー信号とラッチ手段のラッチ内容に基づく信号とが入力されて、割込み要求信号を出力する論理手段を備えている請求項 2 記載のマイクロコンピュータ。

【請求項 4】 計数手段がタイマであり、ラッチ手段が RS フリップフロップである請求項 1 又は請求項 2 記載のマイクロコンピュータ。

【請求項 5】 ラッチ手段のセット後、計数手段へのクロックの入力を禁ずる論理手段を備えている請求項 1 又は請求項 2 記載のマイクロコンピュータ。

【請求項 6】 ラッチ手段のラッチ内容により選択されたクロックが入力され、該クロックに生じているノイズを除去するノイズキャンセラを備えている請求項 1 又は請求項 2 記載のマイクロコンピュータ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、発振周波数が異なる複数の発振回路を内蔵しているマイクロコンピュータに関するものである。

【0002】

【従来の技術】 電子手帳のような携帯用機器に用いるシングルチップマイクロコンピュータ（以下マイクロコン

ピュータという）は、低消費電力化を実現するためにメインクロックたる高速クロックと、時計クロックたる低速クロックとを各別に発生する 2 つの発振回路を内蔵している。

【0003】 図10は、この種の従来のマイクロコンピュータの構成を示すブロック図である。マイクロコンピュータ 1 には 1～10MHz の範囲内の所定周波数の高速クロック X を発振する発振回路 2 と、32kHz の低速クロック Xc を発振する発振回路 3 と、高速クロック X 及び低速クロック Xc のいずれかを選択するセクタ 4 と、セクタ 4 が選択したクロック CLK が入力される CPU 5 と、アナログ／デジタルコンバータあるいは ROM 等からなる周辺モジュール 6 及び周辺モジュール 7 と、低速クロック Xc が入力される時計用タイマ 8 とを内蔵している。また、マイクロコンピュータ 1 には発振回路 2 と接続されており、発振子 OSC1 を接続するための発振子接続端子 1a, 1b を設けており、また発振回路 3 と接続されており、発振子 OSC2 を接続するための発振子接続端子 1c, 1d を設けている。

【0004】 図11はセクタ 4 の構成を示すブロック図である。電源の立上げ時マイクロコンピュータ 1 をリセットすべく発生する初期リセット信号 IRST 及びプログラムによるセット信号 ST は OR 回路 4a の一入力端子及び他入力端子へ各別に入力され、その出力信号は RS フリップフロップ 4b のセット端子 S へ入力される。プログラムによるリセット信号 RST は RS フリップフロップ 4b のリセット端子 R へ入力される。RS フリップフロップ 4b の出力端子 Q から出力される信号は AND 回路 4c の一入力端子及びインバータ 4d へ入力される。インバータ 4d の出力信号は AND 回路 4f の一入力端子へ入力される。

【0005】 高速クロック X は AND 回路 4c の他入力端子へ、低速クロック Xc は AND 回路 4f の他入力端子へ入力される。AND 回路 4c, 4f の出力信号は OR 回路 4g の一入力端子及び他入力端子へ各別に入力され、OR 回路 4g からマイクロコンピュータ 1 を駆動するクロック CLK が出力される。

【0006】 次にこのマイクロコンピュータの動作を説明する。マイクロコンピュータ 1 を使用する場合には、発振子接続端子 1a, 1b 内に発振子 OSC1 を接続し、発振子接続端子 1c, 1d 間に発振子 OSC2 を接続する。いま、マイクロコンピュータ 1 の電源を立上げると初期リセット信号 IRST が発生して OR 回路 4a を介して RS フリップフロップ 4b のセット端子 S へ入力され、RS フリップフロップ 4b の出力端子 Q が “1” にセットされる。また電源の立上げにより発振回路 2, 3 がともに発振動作し、発振回路 2 から高速クロック X が出力され、発振回路 3 から低速クロック Xc が出力されて、高速クロック X はセクタ 4 の AND 回路 4c へ、低速クロック Xc はセクタ 4 の AND 回路 4f へ入力される。

【0007】 また低速クロック Xc は時計用タイマ 8 へ

入力されて、時計用タイマ 8 が駆動する。このように RS フリップフロップ 4b がセットされたことにより、AND 回路 4c の論理が成立して AND 回路 4c から高速クロック X が出力され、OR 回路 4g へ入力して OR 回路 4g からマイクロコンピュータ 1 を駆動すべき高速クロック X であるクロック CLK が出力され、CPU 5 及び周辺モジュール 6、周辺モジュール 7 へ入力される。

【0008】これにより、CPU 5 が高速クロック X であるクロック CLK により駆動され始める。ところで、マイクロコンピュータ 1 を低速クロック Xc であるクロック CLK により駆動する場合には、CPU 5 によって、プログラムによるリセット信号 RST が出力され、RS フリップフロップ 4b のリセット端子 R へ入力される。そうすると、RS フリップフロップ 4b の出力端子 Q が“0”になり、RS フリップフロップ 4b がリセットされる。

【0009】そして AND 回路 4c の論理が不成立になり、AND 回路 4f の論理が成立して AND 回路 4f から低速クロック Xc が出力され、OR 回路 4g から低速クロック Xc であるクロック CLK が出力され、即ちセクタ 4 から低速クロック Xc であるクロック CLK が出力されて、CPU 5 及び周辺モジュール 6、7 を、低速クロック Xc により駆動する。このように高速クロック X であるクロック CLK によってマイクロコンピュータ 1 を駆動しないときには、高速クロック X を発振させる発振回路 2 の発振動作を停止させて、マイクロコンピュータ 1 の消費電力を低減させる。また、低速クロック Xc から高速クロック X に復帰する場合は、プログラムによりセット信号 ST を出力して、RS フリップフロップ 4b をセットする。

【0010】

【発明が解決しようとする課題】一般に、このようなマイクロコンピュータにおいては、低速クロックを時計用タイマを駆動するため発生させているが、高速クロックを用いず低速クロックのみでマイクロコンピュータを駆動させたい場合がある。しかし、従来のマイクロコンピュータは、先ず高速クロックを立上げ、その後マイクロコンピュータを、高速クロックで駆動しない場合には、マイクロコンピュータを駆動するクロックを高速クロックから低速クロックに切換えるようにしているため、低速クロックのみでマイクロコンピュータを駆動する場合でも、高速クロックを出力する発振回路には発振子を接続しなければならず、マイクロコンピュータを使用する側では、その接続のための煩わしさがある。

【0011】また、そのようにして発振子を接続するために、マイクロコンピュータを使用する側では、コストが高くつくという問題がある。本発明は斯かる問題に鑑み、その駆動に必要なクロックを発振させる発振子のみを接続して使用できるマイクロコンピュータを提供することを目的とする。

【0012】

【課題を解決するための手段】第 1 発明に係るマイクロ

コンピュータは、第 1 発振回路が出力するクロックを計数する計数手段と、該計数手段のオーバーフロー信号によりセットされ、リセット信号によりリセットされるラッチ手段と、該ラッチ手段のラッチ内容に基づいて第 1 発振回路のクロック又は第 2 発振回路のクロックを選択するクロック選択手段とを備える。

【0013】第 2 発明に係るマイクロコンピュータは、第 2 発振回路が出力するクロックを計数し、第 1 発振回路が出力するクロックによりクリアされる計数手段と、該計数手段のオーバーフロー信号によりセットされ、リセット信号によりリセットされるラッチ手段と、該ラッチ手段のラッチ内容に基づいて第 2 発振回路のクロック又は第 1 発振回路のクロックを選択するクロック選択手段とを備える。

【0014】

【作用】第 1 発明では、第 2 発振回路にのみ発振子を接続すると、第 2 発振回路のクロックがクロック選択手段へ入力される。第 1 発振回路からクロックが出力されないため、計数手段からオーバーフロー信号が出力されずラッチ手段はリセットされたままになり、クロック選択手段は第 2 発振回路からのクロックを選択して出力する。第 1 発振回路にのみ発振子を接続すると、第 1 発振回路のクロックがクロック選択手段へ入力される。第 1 発振回路のクロックを計数手段が計数し、オーバーフロー信号が出力されると、ラッチ手段がセットされたままになり、クロック選択手段から第 1 発振回路からのクロックを選択して出力する。これにより、発振回路のいずれかに発振子を接続してもマイクロコンピュータを使用できる。

【0015】第 2 発明では、第 2 発振回路にのみ発振子を接続すると、第 2 発振回路のクロックがクロック選択手段及び計数手段へ入力される。第 1 発振回路からクロックが出力されないため計数手段からオーバーフロー信号が出力されてラッチ手段がセットされたままになり、クロック選択手段は第 2 発振回路のクロックを選択して出力する。第 1 発振回路にのみ発振子を接続すると、第 1 発振回路のクロックがクロック選択手段及び計数手段へ入力される。第 1 発振回路のクロックにより計数値が常にクリアされて、オーバーフロー信号が出力されず、ラッチ手段がリセットされたままになり、クロック選択手段は第 1 発振回路からのクロックを選択して出力する。これにより、発振回路のいずれかに発振子を接続してもマイクロコンピュータを使用できる。

【0016】

【実施例】以下本発明をその実施例を示す図面により詳述する。図 1 は本発明に係るマイクロコンピュータの第 1 実施例の構成を示すブロック図である。マイクロコンピュータ 1 には例えば 1～10MHz の範囲内の所定周波数の高速クロック X を発振する発振回路 2 と、例えば 32kHz の低速クロック Xc を発振する発振回路 3 と、高速ク

ロックXがカウント対象として入力される計数手段たるカウンタ10と、高速クロックX及び低速クロックXcが入力され、それらを択一的に選択するクロック選択手段たるセクタ11と、カウンタ10のオーバーフロー信号OVFが一入力端子へ入力されるOR回路9aと、OR回路9aの出力信号がセット端子Sへ入力されるラッチ手段たるRSフリップフロップと、後述する初期リセット信号IRST及びリセット信号RSTが入力され、その出力信号をRSフリップフロップ12のリセット端子Rへ入力するOR回路9bと、セクタ11が選択したクロックCLKが入力されるCPU 5と、アナログ/デジタルコンバータあるいはROM等からなる周辺モジュール6及び周辺モジュール7とが内蔵されている。

【0017】そしてカウンタ10のクリア端子CLには電源の立上げ時にマイクロコンピュータ1を初期リセットする初期リセット信号IRSTが入力される。OR回路9aの他入力端子にはプログラムによるリセット信号RSTが入力される。セクタ11は、AND回路11aと、AND回路11bとインバータ11cとOR回路11dとにより構成されており、AND回路11aの一入力端子及びインバータ11cにはRSフリップフロップ12の出力端子Qからの出力信号が入力される。インバータ11cの出力信号はAND回路11bの一入力端子へ入力される。AND回路11a,11bの他入力端子には高速クロックX及び低速クロックXcが各別に入力される。AND回路11a,11bの各出力信号はOR回路11dの一、他入力端子へ各別に入力される。OR回路11dから高速クロックX又は低速XcであるクロックCLKが出力される。また、マイクロコンピュータ1には、発振回路2と接続されており、発振子OSC1を接続するための発振子接続端子1a,1bと、発振回路3と接続されており、発振子OSC2を接続するための発振子接続端子1c,1dとを設けている。

【0018】次にこのように構成したマイクロコンピュータの動作を各部信号のタイミングチャートを示す図2とともに説明する。発振子接続端子1a,1b間に発振子OSC1を接続し、発振子接続端子1c,1d間に発振子OSC2を接続してマイクロコンピュータ1を使用する場合、マイクロコンピュータ1の電源を立上げると、発振回路2,3がともに発振動作し、発振回路2から図2(b)に示す高速クロックXが出力され、この高速クロックXがAND回路11aへ入力される。また低速クロックXcがAND回路11bへ入力される。そして電源の立上げにより図2(a)に示すように“0”の初期リセット信号IRSTが発生し、カウンタ10のクリア端子CL及びOR回路9bへ入力されて、RSフリップフロップ12のリセット端子Rへ入力される。それによりカウンタ10のカウント値がクリアされてカウンタ10は高速クロックXをカウントし、図2(c)に示すようにカウント初期値からカウントダウンしていく。

【0019】またRSフリップフロップ12が初期リセット信号IRSTによりリセットされて、出力端子1が“0”に

なりAND回路11bの論理が成立してAND回路11bから低速クロックXcが出力される。その後、カウンタ10のカウント値がオーバーフローして図2(d)に示すようにオーバーフロー信号OVFが出力され、RSフリップフロップ12のセット端子Sへ入力されると、RSフリップフロップ12がセットされて、その出力端子Qは図2(e)に示すように“1”になり、AND回路11bの論理が不成立になり、一方、AND回路11aの論理が成立してAND回路11aから高速クロックXが出力されてOR回路11dへ入力される。そしてOR回路11dから図2(f)に示すように高速クロックXであるクロックCLKが出力されて、CPU 5、周辺モジュール6, 7へ入力され、CPU 5、周辺モジュール6, 7を駆動する。したがって、カウンタ10に高速クロックXが発生してから安定するまでの所定時間に対応した、高速クロックXをカウントする初期値を設定しておけば、高速クロックXにノイズが発生していない安定した時点で、セクタ11から自動的に高速クロックXであるクロックCLKを出力してマイクロコンピュータ1を駆動することができる。

【0020】ところで、発振子接続端子1a,1b間に発振子OSC1を接続せず、発振子接続端子1c,1d間に発振子OSC2を接続してマイクロコンピュータ1を使用する場合は、電源を立上げると発振回路3のみが発振動作し、その低速クロックXcがAND回路11bへ入力される。また電源の立上げにより初期リセット信号IRSTが発生し、カウンタ10のクリア端子CLへ入力され、OR回路9bを介してRSフリップフロップ12のリセット端子Rへ入力される。それによりカウンタ10のカウント値がクリアされるが、高速クロックXが入力されていないためオーバーフロー信号OVFを出力せず、RSフリップフロップ12がセットされることがない。一方、初期リセット信号IRSTによりRSフリップフロップ12がリセットされて、AND回路11bの論理が成立して、AND回路11bから低速クロックXcが出力される。これにより、高速クロックXが発生していない場合には、CPU 5、周辺モジュール6, 7に低速クロックXcを自動的に入力して、それらを駆動することができる。

【0021】また発振子接続端子1a,1b間に発振子OSC1を接続し、発振子接続端子1c,1d間に発振子OSC2を接続せずにマイクロコンピュータ1を使用する場合には、電源を立上げると発振回路2のみが発振動作し、その高速クロックXがカウンタ10及びAND回路11aへ入力される。また電源の立上げにより初期リセット信号IRSTが発生してカウンタ10のクリア端子CLへ入力され、またOR回路9bを介してRSフリップフロップ12のリセット端子Rへ入力され、カウンタ10のカウント値がクリアされる一方、RSフリップフロップ12がリセットされて、出力端子Qが“0”になる。それによりAND回路11aの論理が不成立になり、AND回路11aから高速クロックXが出力されない。しかし、カウンタ10はカウント値がクリアされ

た時点から初期値からカウントダウンし始めて、カウント値がオーバーフローするとオーバーフロー信号OVF が出力されてRSフリップフロップ12のセット端子Sへ入力される。

【0022】それによりRSフリップフロップ12がセットされて出力端子Qが“1”になり、AND 回路11b の論理が不成立になり、AND 回路11a の論理が成立してAND 回路11a から高速クロックXが出力される。そしてOR回路11d から高速クロックXであるクロックCLK を出力し、CPU 5、周辺モジュール6、7へ入力し、CPU 5、周辺モジュール6、7を駆動することができる。このようにマイクロコンピュータを低速クロックXc で駆動する場合には、低速クロックXc を、高速クロックXで駆動する場合は高速クロックXを発振する発振回路にのみ発振子を接続して使用することができる。それによりマイクロコンピュータの使用者側においては、マイクロコンピュータの駆動に必要なクロックを発振させる発振子のみを接続すればよく、発振子を接続する煩わしさを軽減でき、また、その場合には一方の発振子が不要となりマイクロコンピュータを使用するためのコストの低減を図り得る。

【0023】図3は本発明に係るマイクロコンピュータの第2実施例の構成を示すブロック図である。発振回路2が出力する高速クロックXはAND 回路13の一端入力端子へ入力され、その他入力端子にはRSフリップフロップ12の出力端子1からの出力信号がインバータ14を介して入力される。AND 回路13の出力信号はカウンタ10へ入力される。それ以外の構成は図1に示すマイクロコンピュータと同様であり、同一構成部分には同一符号を付している。

【0024】次にこのマイクロコンピュータの動作を、各部信号のタイミングチャートを示す図4とともに説明する。このマイクロコンピュータは図1に示すマイクロコンピュータと同様に、発振子接続端子1a,1b 間に発振子OSC1を接続し、発振子接続端子1c,1d 間に発振子OSC2を接続して使用する場合には、マイクロコンピュータ1の電源を立上げると、発振回路2、3がともに発振動作して図4(b)に示すように高速クロックXが発生する。また、低速クロックXcが発生し、それらがセレクト11のAND 回路11a,11b へ入力される。また電源の立上げにより図4(a)に示すように初期リセット信号IRSTが発生し、カウンタ10のクリア端子CLへ入力され、またOR回路9bを介してRSフリップフロップ12のリセット端子Rへ入力される。

【0025】そしてカウンタ10のカウント値がクリアされ、またRSフリップフロップ12がリセットされて、その出力端子Qが“0”になり、AND 回路11b から低速クロックXc が出力される。そして出力端子Qが“0”になったことによりAND 回路13の論理が成立して、高速クロックXがカウンタ10へカウント対象として入力される。

それによりカウンタ10は図4(c)に示すようにカウント値がクリアされた初期値をカウントダウンしていく。そのカウント動作中カウンタ10には図4(g)に示すように消費電流が流れる。

【0026】そしてタイマ10のカウント値がオーバーフローすると、カウンタ10からオーバーフロー信号OVF が出力されてOR回路9aを介してRSフリップフロップ12のセット端子Sへ入力され、RSフリップフロップ12がセットされ、図4(e)に示すように出力端子Qが“1”になる。それによりAND 回路11a の論理が成立して、AND 回路11a から高速クロックXが出力され、OR回路11d から高速クロックXであるクロックCLK を出力し、CPU 5、周辺モジュール6、7を高速クロックXに切換えた高速クロックXで駆動する。ところでRSフリップフロップ12がセットされた場合は、AND 回路13の論理が不成立になり、カウンタ10への高速クロックXの入力を禁じ、それによってカウンタ10がカウント動作しなくなり、図4(g)に示すようにカウンタ10の消費電流が減少する。このようにRSフリップフロップ12がセットされたとき、即ち低速クロックXc から高速クロックXへの切換えが終了した後は、カウンタ10のカウント動作が停止して、カウンタ10の消費電流を低減させることができる。

【0027】また、発振回路接続端子1a,1b 間又は発振子接続端子1c,1d 間に発振子OSC1又はOSC2を接続した場合には、図1に示すマイクロコンピュータと同様の動作をする。そして、RSフリップフロップ12がセットされた場合には、高速クロックXがカウンタ10へ入力されるのを禁止して、この場合もカウンタ10の消費電流を低減させることができる。そして、このマイクロコンピュータはカウンタ10の消費電流を低減させる以外の動作は、図1に示したマイクロコンピュータの動作と同様である。

【0028】図5は本発明に係るマイクロコンピュータの第3実施例の構成を示すブロック図である。セレクト11のOR回路11d から出力されるクロックCLK は、クロックCLK に生じたノイズを除去するノイズキャンセラ15へ入力される。ノイズキャンセラ15から出力されるクロックCLK はCPU 5、周辺モジュール6、7へ制御クロックとして入力される。それ以外の構成は図1に示したマイクロコンピュータと同様となっており、同一構成部分には同一符号を付している。

【0029】次にこのマイクロコンピュータの動作を、各部信号のタイミングチャートを示す図6とともに説明する。このマイクロコンピュータは図1に示すマイクロコンピュータと同様に、発振子OSC1、OSC2をともに接続した場合は、低速クロックXc から高速クロックXに切換えて、切換えた高速クロックXによりCPU 5、周辺モジュール6、7を駆動する。また発振子OSC1及び発振子OSC2のいずれかを接続した場合は、接続した発振子によるクロックを発生させ、発生したクロックでCPU 5、周辺モジュール6、7を駆動する。

【0030】ところで発振子OSC1, OSC2をともに接続して発振回路2及び発振回路3から図6(b), (a)に示すように高速クロックX及び低速クロックXcが出力されていて、セクタ11が低速クロックXcを選択しているときに、カウンタ10からオーバーフロー信号OVFが出力され、RSフリップフロップ12がセットされて図6(c)に示すように出力端子Qが“1”になったとき、即ち、セクタ11から出力するクロックCLKが低速クロックXcから高速クロックXに切替わる時点では図6(d)に示すように、負のショートパルスからなるノイズNが発生することがある。しかし、このようなノイズNを含んだ高速クロックXであるクロックCLKは、ノイズキャンセラ15へ入力されてノイズキャンセラ15でノイズNが除去される。そしてノイズキャンセラ15から図6(e)に示すようにノイズNを含んでいない高速クロックXであるクロックCLKが出力され、CPU 5、周辺モジュール6, 7を誤動作させずに確実に駆動する。これによりマイクロコンピュータの応用範囲を拡大でき、またその動作の信頼性を高めることができる。

【0031】図7は本発明に係るマイクロコンピュータの第4実施例の構成を示すブロック図である。発振回路2が出力する高速クロックXはOR回路16の一方入力端子及びAND回路11bの他入力端子へ入力され、OR回路16の他入力端子には初期リセット信号IRSTが入力される。OR回路16の出力信号はカウンタ10のクリア端子CLへ入力される。発振回路3が出力する低速クロックXcはカウンタ10へカウント対象として入力され、またAND回路11aの他入力端子へ入力される。それ以外の構成は図1に示したマイクロコンピュータと同様であり、同一構成部分には同一符号を付している。

【0032】次にこのマイクロコンピュータの動作を説明する。発振子接続端子1a, 1b間に発振子OSC1を接続し、発振子接続端子1c, 1d間に発振子OSC2を接続してマイクロコンピュータを使用する場合、マイクロコンピュータ1の電源を立上げると、発振回路2, 3がともに発振動作し、高速クロックXはOR回路16及びAND回路11bへ入力される。発振回路3が出力する低速クロックXcはカウント対象としてカウンタ10へ入力され、またAND回路11bへ入力される。電源の立上げにより初期リセット信号IRSTが発生し、OR回路9bを介してRSフリップフロップ12のリセット端子Rへ入力され、RSフリップフロップ12がリセットされて出力端子Qが“0”になる。初期リセット信号IRSTがOR回路16を介してカウンタ10のクリア端子CLへ入力され、カウント値がクリアされる。

【0033】RSフリップフロップ12がリセットされたことによりAND回路11bの論理が成立してAND回路11bから高速クロックXが出力され、OR回路11dから高速クロックXであるクロックCLKを出力してCPU 5、周辺モジュール6, 7を駆動できる。ところで発振回路2が発振動作を停止した場合は、高速クロックXがカウンタ10の

クリア端子CLへ入力されず、カウンタ10は低速クロックXcをカウントし初期値からカウントダウンしてカウント値がオーバーフローし、オーバーフロー信号OVFを出力する。それによりRSフリップフロップ12がセットされて出力端子Qが“1”になり、AND回路11aの論理が成立してAND回路11aから低速クロックXcが出力され、OR回路11dから低速クロックXcであるクロックCLKを出力して、CPU 5、周辺モジュール6, 7を低速クロックXcで駆動できる。また、高速クロックXがカウンタ10のクリア端子CLに入力される都度カウント値がクリアされてオーバーフロー信号OVFを出力しない。そしてRSフリップフロップ12はセットされたままになる。

【0034】また、発振子接続端子1c, 1d間のみ発振子OSC2を接続してマイクロコンピュータ1を使用する場合、マイクロコンピュータ1の電源を立上げると、発振回路3のみが発振動作し、低速クロックXcが出力される。この低速クロックXcをカウンタ10がカウントし、カウント値の初期値をカウントダウンしカウント値がオーバーフローするとオーバーフロー信号OVFを出力し、OR回路9aを介してRSフリップフロップ12のセット端子Sへ入力されて、RSフリップフロップ12がセットされ出力端子Qが“1”になる。それによりAND回路11aの論理が成立してAND回路11aから低速クロックXcが出力され、OR回路11dから低速クロックXcであるクロックCLKを出力して、CPU 5、周辺モジュール6, 7を駆動できる。カウンタ10のクリア端子CLには高速クロックXが入力されないため、カウント値はクリアされない。

【0035】次に、発振子接続端子1a, 1b間のみ発振子OSC1を接続してマイクロコンピュータ1を使用する場合、マイクロコンピュータ1の電源を立上げると発振回路2が発振動作して高速クロックXが出力されカウンタ10のクリア端子CL及びAND回路11bへ入力される。そしてカウンタ10のカウント値は高速クロックXが入力される都度クリアされてオーバーフロー信号OVFを出力しない。また電源の立上げにより初期リセット信号IRSTがRSフリップフロップ12のリセット端子Rへ入力され、RSフリップフロップ12がリセットされて出力端子Qが“0”になる。それによりAND回路11bの論理が成立してAND回路11bから高速クロックXが出力され、OR回路11dから高速クロックXであるクロックCLKが出力されて、CPU 5、周辺モジュール6, 7を駆動できる。

【0036】なお、このマイクロコンピュータ1にも、図3に示すようにAND回路13及びインバータ14を設けてカウンタ10の消費電流を低減できる。また図5に示すようにノイズキャンセラ15を設けて、低速クロックXcから高速クロックXに切替えるときに、高速クロックXに発生するノイズを除去することができる。

【0037】図8は本発明に係るマイクロコンピュータの第5実施例の構成を示すブロック図である。カウンタ10のオーバーフロー信号OVFがAND回路17の一方入力端子

に入力され、その他入力端子にはインバータ18を介してRSフリップフロップ12の出力端子Qの信号が入力される。AND 回路17から割込み要求信号 ITR が出力される。それ以外の構成は図7に示したマイクロコンピュータと同様となっており、同一構成部分には同一符号を付している。

【0038】次にこのマイクロコンピュータの動作を各部信号のタイミングチャートを示す図9とともに説明する。このマイクロコンピュータは図7に示されたマイクロコンピュータと同様に、発振子OSC1、OSC2をともに接続し、高速クロックX及び低速クロックXcが発生している場合には、セレクト11から高速クロックXであるクロックCLKが出力される。そて、高速クロックXが発生しなくなったときにはカウンタ10からオーバーフロー信号OVFが出力されてRSフリップフロップ12がセットされ、AND 回路11aから低速クロックXcが出力されて、セレクト11から低速クロックXcであるクロックCLKを出力する。

【0039】また発振子OSC2のみを接続している場合には、低速クロックXcのみが発生し、カウンタ10からオーバーフロー信号OVFが出力されてRSフリップフロップ12がセットされ、セレクト11から低速クロックXCであるクロックCLKが出力される。更に発振子OSC1のみを接続している場合には、RSフリップフロップ12がセットされず、セレクト11から高速クロックXであるクロックCLKが出力される。

【0040】ところで、前述したように高速クロックX及び低速クロックXcを、図9(a),(b)に示す如くともに発生させてマイクロコンピュータ1を高速クロックXで駆動しているときに、外乱又は回路の故障等によって図9(b)に示す如く高速クロックXが発生しなくなると、カウンタ10のカウント値がクリアされなくなると、図9(c)に示すようにカウンタ10のカウント値がオーバーフローし、オーバーフローした時点で図9(d)に示すようにオーバーフロー信号OVFが出力されてRSフリップフロップ12がセットされる。

【0041】それによりAND 回路11aから低速クロックXcが出力されるが、オーバーフロー信号OVFが出力された時点は、RSフリップフロップ12の出力端子Qは図9(e)に示すように“0”であり、それをインバータ18で反転させた信号がAND 回路17へ入力されてAND 回路17の論理が成立し、AND 回路17からセレクト11から出力されるクロックCLKが高速クロックXから低速クロックXcに切替ったことをCPU5へ知らせる図9(f)に示す割込み要求信号 ITR が出力される。それによりCPU5に発振動作の不調によりクロックCLKが高速クロックXから低速クロックXcに切替ったことを検知させることができる。

【0042】なお、夫々の実施例においてカウンタをダウンカウント動作させたが、それは例示であり、アップ

カウント動作させても同様の効果が得られるのは勿論である。また、カウンタ及びRSフリップフロップは単なる例示であり同等の機能を有するものと置換できるのは言うまでもない。更に、マイクロコンピュータを駆動するクロックを、ソフトウェアにより高速クロック又は低速クロックに切替え得る回路で切替えるようにしてもよい。

【0043】

【発明の効果】以上詳述したように第1発明のマイクロコンピュータは、第1発振回路のクロックを計数手段で計数し、計数手段が出力するオーバーフロー信号でラッチ手段のラッチ内容を変更するようにし、ラッチ内容に基づいて第1発振回路又は第2発振回路のクロックを選択するようにしたので一方の発振回路のクロックのみでマイクロコンピュータを駆動する場合には、従来のように両発振回路の夫々に発振子を接続する必要がない。そのためマイクロコンピュータの使用者側での発振子の接続の煩わしさを軽減でき、またコストの低減を図り得る。また計数手段の消費電流を低減できる。更にマイクロコンピュータを駆動するクロックのノイズを除去できる等の効果を奏する。

【0044】第2発明のマイクロコンピュータは、第2発振回路のクロックを計数手段が計数し、該計数手段の計数値を第1発振回路のクロックでクリアし、計数手段が出力するオーバーフロー信号でラッチ手段のラッチ内容を変更して、ラッチ内容に基づいて第1発振回路又は第2発振回路のクロックを選択するようにしたので、一方の発振回路のクロックのみでマイクロコンピュータを駆動する場合には、従来のように両発振回路の夫々に発振子を接続する必要がない。そのためマイクロコンピュータの使用者側での発振子の接続の煩わしさを軽減でき、またコストの低減を図ることができる。また、計数手段の消費電流を低減できる。更にマイクロコンピュータを駆動するクロックのノイズを除去できる。更にまた第2発振回路のクロックから第1発振回路のクロックに切替ったことを知らせる信号を出力できる等の効果を奏する。

【図面の簡単な説明】

【図1】 本発明に係るマイクロコンピュータの第1実施例の構成を示すブロック図である。

【図2】 各部信号のタイミングチャートである。

【図3】 本発明に係るマイクロコンピュータの第2実施例の構成を示すブロック図である。

【図4】 各部信号のタイミングチャートである。

【図5】 本発明に係るマイクロコンピュータの第3実施例の構成を示すブロック図である。

【図6】 各部信号のタイミングチャートである。

【図7】 本発明に係るマイクロコンピュータの第4実施例の構成を示すブロック図である。

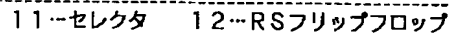
【図8】 本発明に係るマイクロコンピュータの第5実

【符号の説明】

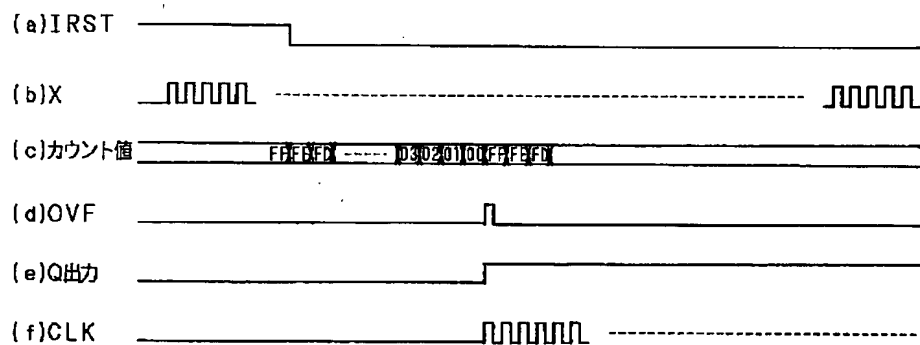
1 マイクロコンピュータ、2, 3 発振回路、5 CP
U、10 カウンタ、11 セレクタ、12 RSフリップフロ
ップ。

【図 1 1】 セレクタの構成を示すブロック図である。

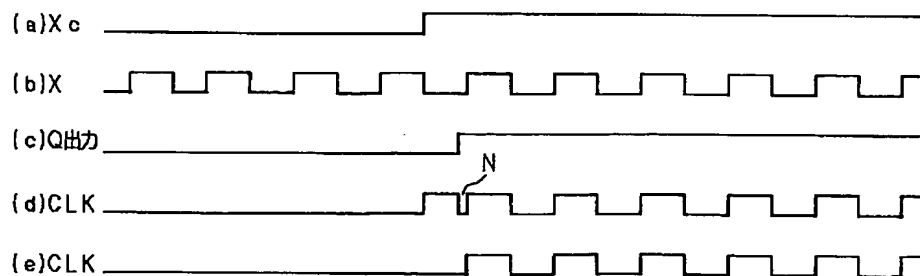
【图 1】



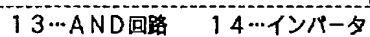
【図 2】



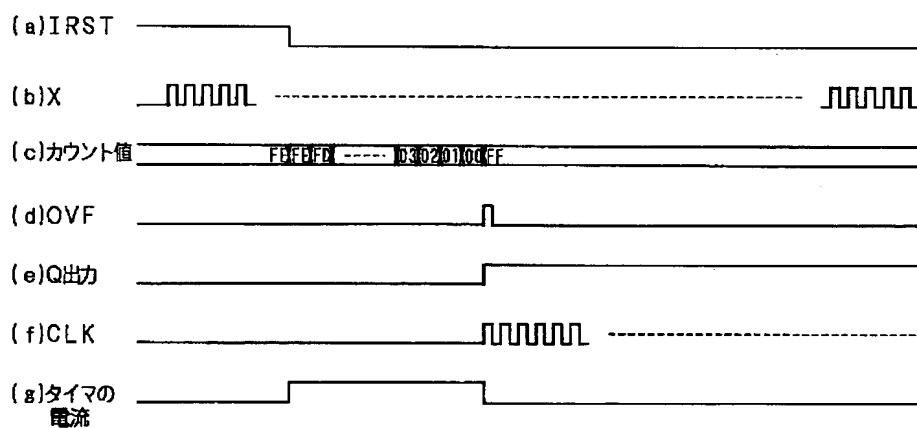
【図 6】



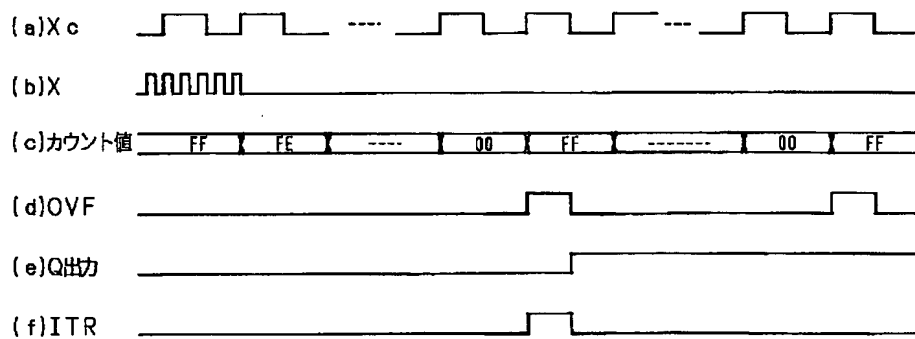
【図 3】



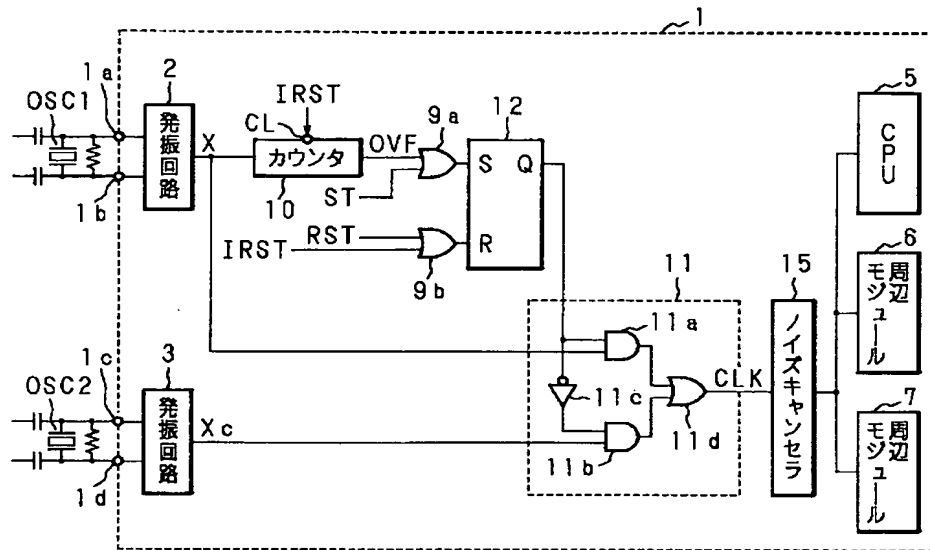
【図 4】



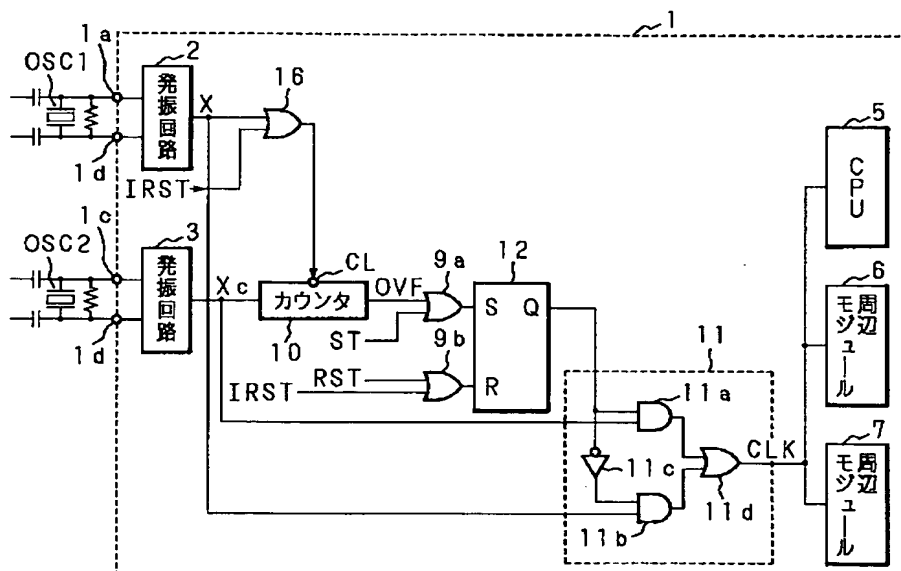
【图9】



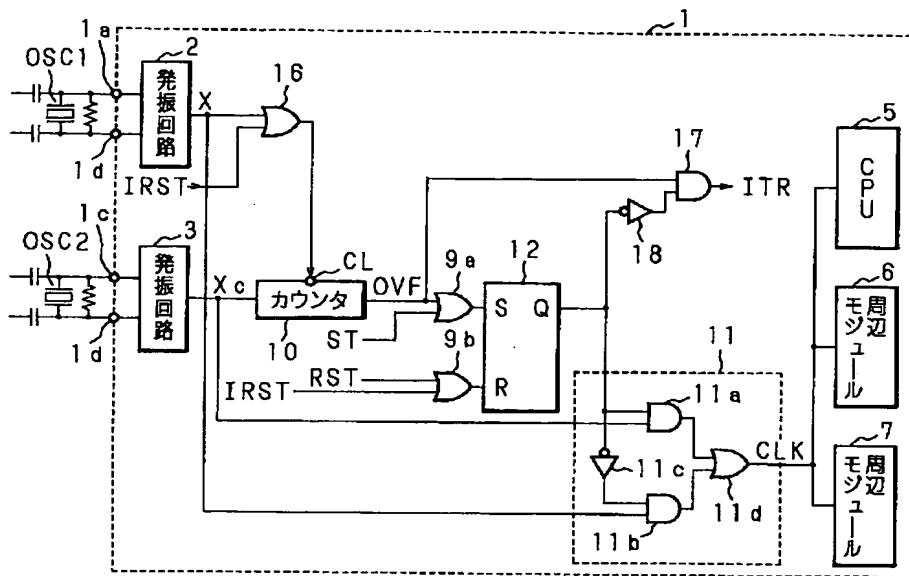
【図5】



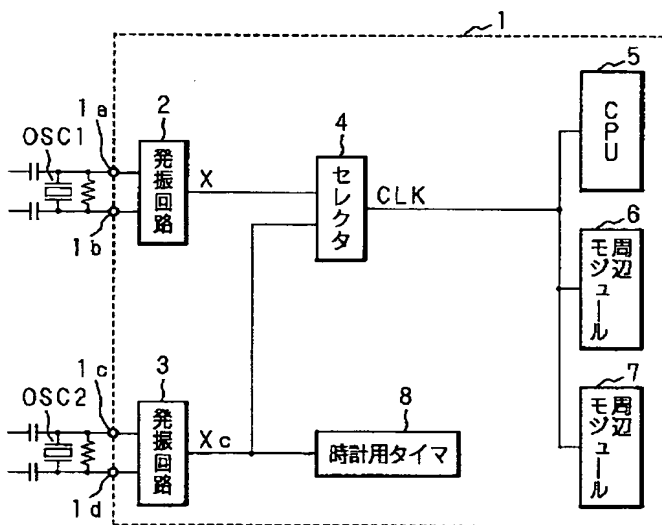
【図7】



【図 8】



【図 10】



【図 11】

